

(19) 日本国特許庁 (J P)

(12) 公表特許公報 (A)

(11) 特許出願公表番号
特表2002-544700
(P2002-544700A)

(43) 公表日 平成14年12月24日 (2002. 12. 24)

(51) Int.Cl.⁷

識別記号

F I

テーマコード (参考)

H 0 3 K 19/177

H 0 3 K 19/177

5 F 0 6 4

H 0 1 L 21/82

H 0 1 L 21/82

A 5 J 0 4 2

審査請求 未請求 予備審査請求 有 (全 38 頁)

(21) 出願番号 特願2000-617558(P2000-617558)
(86) (22) 出願日 平成12年5月5日 (2000. 5. 5)
(85) 翻訳文提出日 平成13年11月7日 (2001. 11. 7)
(86) 国際出願番号 PCT/US 00/12478
(87) 国際公開番号 WO 00/69073
(87) 国際公開日 平成12年11月16日 (2000. 11. 16)
(31) 優先権主張番号 60/133, 145
(32) 優先日 平成11年5月7日 (1999. 5. 7)
(33) 優先権主張国 米国 (US)

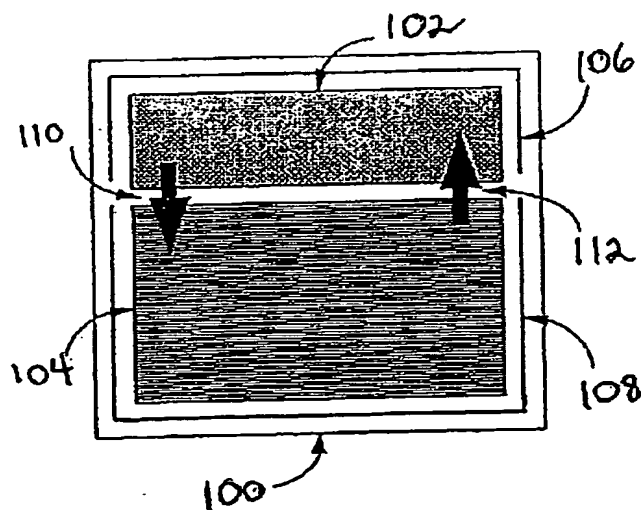
(71) 出願人 モーフィックス テクノロジー インコーポレイテッド
アメリカ合衆国 カリフォルニア州
95008-0638 キャンベル サウス パス
コム アヴェニュー 1550
(72) 発明者 ワッソン スティーブン エル
アメリカ合衆国 カリフォルニア州
95006 ボールダー クリーク アルバイ
ン ドライヴ 425
(74) 代理人 弁理士 中村 稔 (外9名)
Fターム (参考) 5F064 AA07 BB02 BB03 BB04 BB13
BB18 BB19 BB27 BB28 BB40
DD19 EE47 EE54
5J042 BA05 CA15 CA20 CA21 DA04

(54) 【発明の名称】 異種のプログラマブルゲートアレイ

(57) 【要約】

【課題】 同一装置上に非構造化論理及び構造化論理リソースを有する、改良された異種のプログラマブル論理装置を提供する。

【解決手段】 異種のプログラマブルゲートアレイ (100) は、非構造化論理サブアレイ (102) 及び構造化論理サブアレイ (104) を備える。非構造化入力/出力相互接続構造 (106) は、非構造化-非構造化入力/出力信号を非構造化論理サブアレイへ送り、バス化入力/出力相互接続構造 (108) は、構造化-構造化入力/出力信号を構造化論理サブアレイへ送る。制御信号バス (110) は、非構造化論理サブアレイと構造化論理サブアレイとの間を接続して、その間で非構造化ソースの信号を送る。バス化信号バス (112) は、非構造化論理サブアレイと構造化論理サブアレイとの間を接続して、その間で構造化ソースの信号を送る。



【特許請求の範囲】

- 【請求項 1】** 非構造化論理サブアレイと、
非構造化－非構造化入力／出力信号を前記非構造化論理サブアレイへ送るための非構造化入力／出力相互接続構造と、
構造化論理サブアレイと、
構造化－構造化入力／出力信号を前記構造化論理サブアレイへ送るためのバス化入力／出力相互接続構造と、
前記非構造化論理サブアレイと前記構造化論理サブアレイとの間を接続して、その間で非構造化ソースの信号を送る制御信号バスと、
前記非構造化論理サブアレイと前記構造化論理サブアレイとの間を接続して、その間で構造化ソースの信号を送るバス化信号バスと、
を備える異種のプログラマブルゲートアレイ。
- 【請求項 2】** 前記非構造化論理サブアレイが、状態マシンを実行することの特徴とする請求項 1 に記載の異種のプログラマブルゲートアレイ。
- 【請求項 3】** 前記非構造化論理サブアレイが、デコーダを実行することの特徴とする請求項 1 に記載の異種のプログラマブルゲートアレイ。
- 【請求項 4】** 前記非構造化論理サブアレイが、緻密で短く、ファンアウトが小さく、スキューが高度である経路指定リソースによって特徴づけられる請求項 1 に記載の異種のプログラマブルゲートアレイ。
- 【請求項 5】** 前記構造化論理サブアレイが、算術機能を実行することの特徴とする請求項 1 に記載の異種のプログラマブルゲートアレイ。
- 【請求項 6】** 前記構造化論理サブアレイが、記憶レジスタを実行することの特徴とする請求項 1 に記載の異種のプログラマブルゲートアレイ。
- 【請求項 7】** 前記構造化論理サブアレイが、ランダムアクセスメモリを実行することの特徴とする請求項 1 に記載の異種のプログラマブルゲートアレイ。
- 【請求項 8】** 前記構造化論理サブアレイが、疎で長く、ファンアウトが大きく、スキューが低度である経路指定リソースによって特徴づけられる請求項 1 に記載の異種のプログラマブルゲートアレイ。
- 【請求項 9】** 前記ゲートアレイが、約 3 分の 1 の非構造化論理サブアレイ

回路及び約 3 分の 2 の構造化論理サブアレイ回路を備えることを特徴とする請求項 1 に記載の異種のプログラマブルゲートアレイ。

【発明の詳細な説明】**【0001】****(関連出願の説明)**

本出願は1999年5月7日出願の米国特許仮出願第60/133,145号に対して優先権を主張する。

(技術分野)

本発明は、全体的には、プログラマブル論理回路に関する。更に詳細には、本発明は、異種のプログラマブルゲートアレイに関する。

【0002】**(背景技術)**

エレクトロニクス産業では、プログラマブル論理回路が広く使用されている。最新のプログラマブル論理装置は、典型的には、同種の汎用論理アレイを備える。また、最新の使用方法では、典型的には、多くの目的を果たすための種々のプログラマブル論理回路を必要とする。各々の目的に対して特定のゲートアレイを設計する代わりに、多数の同種のプログラマブルゲートアレイをプログラムして、必要な各々の目的を果たすようになっている。この目的には、典型的に、フィールドプログラマブルゲートアレイ(FPGA)が用いられる。

【0003】

今日まで、関連の産業では、殆どの目的を果たすようにプログラムできる「最適な」同種アーキテクチャの開発に莫大な投資を行ってきた。同種FPCAsを用いると、プログラム化論理機能が複雑である場合、又はプログラム化論理機能の特性が本来異種である場合には、極めて非効率的になることもある。特定の目的に必要なでないで同種アーキテクチャが必然的に部分的に無駄になる場合、非効率的に装置が利用されることになる。図1のライン20に示すように、ランダム/制御論理機能は、最小構造装置で実行する場合にのみ利用率が高くなるのに対して、ライン22に示すように、構造化/データ経路論理機能は、最大構造装置で実行する場合にのみ利用率が高くなる。例えば、パリティツリー及び状態マシンは、最小構造アレイで高度に利用され、算術及びレジスタファイル機能は、最大構造アレイで高度に利用される。しかし、最小構造装置では、実行した機能

の構造化の程度が増大するにつれて、利用効率が大幅に減少する。逆に、最大構造化装置では、実行した機能の構造化の程度が減少するにつれて、利用効率は大幅に減少する。ランダム／制御及び構造化／データ経路は、相補的で異種の特性である。

【0004】

FPGAは、典型的には、特定のランダム／制御及び特定の構造化／データ経路機能を実行するのに適切な同種の論理ブロックアレイを備える。更に、現行の方法では、非構造化論理と構造化論理機能に対して別個の装置を用いることが多い。別個の装置を用いると、製造及びパッケージコストが増大するほか、回路基板に取り付ける際に比較的広い空間が必要となる。空間的な効率の悪さにより、リソース間で信号が送られる際に計算速度が遅くなる。

前記の点に鑑みて、同一装置上に非構造化論理及び構造化論理リソースを有する、改良されたプログラマブル論理装置を作ることが極めて望ましい。

【0005】

(発明の開示)

異種のプログラマブルゲートアレイ (HPGA) は、2つ又はそれ以上のアレイを備える。好ましい実施形態において、HPGAは、少なくとも1つの非構造化論理アレイ及び少なくとも1つの構造化論理アレイを備える。非構造化入力／出力相互接続構造は、非構造化—非構造化入力／出力信号を非構造化論理アレイへ送り、同時に、バス化入力／出力相互接続構造は、構造化—構造化入力／出力信号を構造化論理アレイへ送る。制御信号バスは、非構造化論理アレイと構造化論理アレイとの間を機能的に接続し、その間で非構造化リソース信号を送る。バス化信号バスは、非構造化論理アレイと構造化論理アレイとの間を機能的に接続し、その間で構造化リソース信号を送る。

【0006】

論理機能は、該機能を実行するのに必要な論理又は経路リソースのいずれかの形式が、規則性又は均一性を示さない場合は「非構造化」とされる。例えば、状態マシンは、典型的には、次の状態機能が他の状態機能と独立している種々の状態機能を含むため、状態マシンの種々の状態は、典型的には、物理的に相互に連

携しない。論理機能は、該機能を実行するのに必要な論理及び経路指定リソースが、規則性又は均一性を示す場合に「構造化」とされる。例えば、ロード可能なカウンタ等のデータ経路オブジェクトは、ビットスライス機能の繰返しを含む。換言すると、典型的には、次の状態機能が全てのビットスライス機能に対して全く同一である。更に、各ビットスライスが、同一のクロックイネーブル信号及びロード制御信号を受け取るので、各ビットは相互に固有の関係をもち、相互に物理的に連携する必要がある。例えば、ビット i は、ビット $i-1$ 及び $i+1$ の間に位置決めされる必要がある。一般に、非構造化論理は、構造化論理に相補的である。

【0007】

他の例示的な実施形態において、異種のプログラマブルアレイは、相補形の論理及び経路リソース特性である、少なくとも2つのサブセクションを有するセクションを備える。サブセクションは、それぞれ非構造化／制御論理及び構造化／データ経路論理といった相補形論理を特に最適化するように構成される。好ましい実施形態では、サブセクションは、約 $1/3$ の非構造化／制御論理及び約 $2/3$ の構造化／データ経路論理を含むように構成される。非構造化／制御論理は、一般に、細粒度で、短く、ファンアウトが小さく、スキューが高度である。構造化／データ経路論理は、一般に、中粒度で、長く、ファンアウトが大きく、スキューが低度である。非構造化／制御論理の例としては、グルー論理、デコーダ、パリティツリー、及び状態マシンがある。構造化／データ経路論理の例としては、算術装置、レジスタファイル、ランダムアクセスメモリ、及び先入れ先出しモジュールがある。

【0008】

本発明による装置は、別個のプログラマブル論理及び経路指定リソースのためのプラットフォームを提供する。このトポロジにより、現在のネットリストの1層優れた区画化が容易になる。即ち、論理ネットリストは、特定のアレイリソースを対象にしたフラグメントに区画化できる。適切に区画化すると装置の利用率及びシステム性能が著しく向上する。更に、この装置は、アレイを特定の目的に最適化できるので全体的な装置効率を改善する。

【0009】

(発明を実施するための最良の形態)

図2は、本発明の実施形態による例示的な異種プログラマブルゲートアレイのモジュール100を示す。モジュール100は、非構造化論理サブセクション102を備える。本明細書で用いる場合、非構造化論理サブセクションという用語は、広く浅い、又は細粒度であるため、状態マシン及びデコーダ等の非構造化論理機能に適する論理リソースのことを言う。更に、非構造化論理サブセクション102は、緻密で、短く、ファンアウトが小さく、スキューが高度で、本来シングルノードの経路指定リソースであるという特徴を有する。

モジュール100は、構造化論理サブセクション104も備える。本明細書で用いる場合、構造化サブセクションという用語は、狭く深い、又は粗粒度であるため、算術及びランダムアクセスメモリ（「RAM」）ブロック等のバス志向機能に適する論理リソースのことを言う。更に、構造化論理サブセクション104は、疎で、長く、ファンアウトが大きく、スキューが低度であり、本来バス化信号の経路指定リソースであるという特徴を有する。

【0010】

非構造化入力／出力相互接続構造106は、非構造化論理サブセクション内で、非構造化－非構造化入力／出力信号の経路を指定するのに用いられる。バス化入力／出力相互接続構造108は、構造化論理サブセクション104内で、構造化－構造化入力／出力信号の経路を指定するのに用いられる。

本発明の実施形態によれば、制御信号バス110及びバス化信号バス112は、共通軸線に沿って（即ち平行に）形成される。制御信号バス110は、非構造化論理サブセクション102から構造化論理サブセクション104へ送られる、非構造化ソース信号のためのプログラマブル相互接続リソースである。バス化信号バス112は、構造化論理サブセクション104から非構造化論理サブセクション102へ送られる、構造化ソース信号のためのプログラマブル相互接続リソースである。

【0011】

図3は、モジュール100の例示的な実施形態を示す。図示するように、非構

造化論理サブセクション102は細粒度であり、構造化論理サブセクション104は粗粒度である。1つの実施形態において、2つのサブセクション102、104は、相補形の論理及び経路リソース特性を有する。適切なHPGAアーキテクチャを生成することに対する主たる障害の1つは、HPGA装置上の非構造化－構造化リソースのバランスを決めることである。好ましい実施形態では、モジュール100は、約1/3の非構造化／制御論理（非構造化サブセクション102）及び約2/3の構造化／データ経路論理（構造化サブセクション104）を備える。リソースをこのように区画化すると特に有利であることが分かっている。しかし、本発明によれば、別のやり方でリソースを区画化することもできる。例えば、データ経路が広くなれば、構造化／データ経路論理領域は、約75%又はそれ以上であることが望ましい場合もある。もしくは、制御論理が更に複雑になれば、非構造化／制御論理領域は、約40%又はそれ以上であることが望ましい場合もある。ランダムアクセスメモリ（RAM）は、リソース分割の極端な場合を表す。RAMは、ゲートが集中したものである。RAMが、モジュール100の構造化／データ経路論理サブセクションの一部であるとみなされる場合は、モジュール100内での構造化対非構造化論理の比は、9/10の構造化／データ経路論理に対して約1/10の非構造化／制御論理とされる必要がある。

【0012】

図4は、非構造化／制御又は構造化／データ経路論理としての論理を特徴づけるための例示的な属性リストを示すテーブルである。非構造化／制御論理は、典型的には、細粒度、短経路セグメントを有し、タイミングスキューが高度で、信号ファンアウトが小さく、信号ファンインが広く、可変編成で論理リソースに偏りを有する。一方、構造化／データ経路論理は、典型的には、粗粒度、長経路セグメントを有し、タイミングスキューが低度で、信号ファンアウトが大きく、信号ファンインが狭く、繰返し編成で経路指定リソースに偏りを有する。

【0013】

論理粒度は、共通の制御により互いに連結されたブロック内の論理の量の尺度である。例えば、少量の組み合わせ論理を有する論理ブロックがある装置は、細粒度であると言われる。多量の組み合わせ論理を有する論理ブロックをもつ装置

は、粗粒度であると言われる。装置が細粒度であるか粗粒度であるかは、装置の大きさに依存し、現行の技術の進歩に対応する。例えば、図5 Aに示すように、 8×8 のプログラマブル論理装置（又はモジュール）は、その論理ブロックが、それぞれ単一の機能発生器及び／又は単一のフリップフロップを含む場合には細粒度である。図5 Bでは、 8×8 のプログラマブル論理装置（又はモジュール）は、その論理ブロックが、それぞれ共通のクロックイネーブル信号を有する4つのフリップフロップを含む場合には中粒度である。図5 Cでは、 8×8 のプログラマブル論理装置（又はモジュール）は、その論理ブロックが、それぞれ共通のクロックイネーブルを有する16のフリップフロップを含む場合には粗粒度である。

【0014】

装置の経路指定セグメントは、装置の大きさにより、短いこともあれば長いこともある。例えば、小型装置（即ち、論理ブロックが 16×16 マトリックス）では、4つ目毎の論理ブロックを連結する信号回線は、「中くらいの」回線とみなすことができるのに対し、大型装置（即ち、論理ブロックが 64×64 マトリックス）では、同一の信号回線は、「短い」回線であるとみなされる。

ファンアウトとは、信号ソースが経路指定される宛先の数のことを言う。少数の宛先に経路指定された信号ソースのファンアウトは小さい。多数の宛先に経路指定された信号ソースのファンアウトは大きい。ファンアウトが大きい小さいかは、装置の大きさ及び機能の複雑さによる。例えば、制御—制御信号は、典型的にファンアウトが少ないのに対し、制御—データ経路信号は、典型的にファンアウトが大きい。

【0015】

図6 Aは、 4×8 論理ブロックでのファンアウトが少ない例であり、ソース「S」は4つの宛先にのみ経路指定されている。

図7は、 8×12 の論理ブロックアレイでのファンアウトが大きい例であり、各ソース、例えば、ソースd7は、12の宛先に経路指定されている。

タイミングスキューは、所定のソースから宛先の集合までの経路遅延の相対差の尺度である。全ての宛先への遅延時間がほぼ等しい場合、信号は低度スキュー

である。全ての宛先への遅延時間が異なる場合、信号は高度スキューである。信号の全てのセグメントに対して同様の経路リソースを用いることにより低度スキューを得ることがきる。信号が経路指定リソース上にあり、経路が非決定的である場合に高度スキューとなる。つまり、スキューは、宛先の種類の指標となることが多い。例えば、異なる目的を果たす宛先は、信号の高度スキュー分布を招くことが多いが、同じ目的を果たす宛先は、信号の低度スキュー分布を招く場合が多い。図6 Aでは、ソース信号Sが、異なる経路指定リソースにより宛先1～4に経路指定されているので高度スキューである。図6 Bでは、ソース信号Sが、同じ経路指定リソースにより宛先1～4に経路指定されているので信号は低度スキューである。

【0016】

ファンインとは、信号を生成するのに用いられるソースの数を言う。少数のソースを有する信号は、ファンインが狭いのに対し、多数のソースを有する信号は、ファンインが広い。

編成とは、論理機能に固有のパターンを言う。例えば、制御論理は、典型的には、編成が可変又は非構造化であるのに対し、データ経路論理は、典型的には、編成が繰返し又は均一である。

更に、特定の論理が、非構造化／制御であるか構造化／データ経路論理であるかは、用いられる入力の数及び特定の機能を達成するのに必要とされる論理レベルの数により特徴づけることができる。入力数が多い（即ち5以上）か、入力ランダムである場合には、論理が多数の独立項を必要とするため、論理は「広く」なる傾向がある。例えば、状態マシンは、典型的には、起動状態に戻るための多くの状態を含む。このような状態は、同一又は独立な範囲を有する。また、独立であると少数（即ち3以下）の論理レベルになるので、論理も「浅く」なる。入力数が少ない（即ち5以下）場合、又は入力相関的である（即ち隣接の状態から）場合には、論理が多数の従属項を必要とするため、論理は「狭く」なる。例えば、算術オブジェクトは、他の全ての制御が依存する支配的リセット入力をもつことができる（即ち、リセットは、「次の状態」に寄与するために、他の制御の影響を受けていない必要がある）。算術オブジェクトは、残りの制御回線

を支配するクロックイネーブル信号をもつことができる。また、従属状態は、論理レベルが大きな数（即ち6以上）になるので論理は「深く」なる。

【0017】

状態マシンのような非構造化／制御論理は、細粒度、短経路リソースセグメントを有する物理リソースに最も適切にマップされた非均一（ランダム）論理を含むことが多く、多数の入力を受け取り少数の出力を発生する機能発生器を含む。このような入力機能は、「広く」「浅い」と言うことができる。

一方、カウンタのような構造化／データ経路論理は、本質的に規則的であり、しばしば大きなファンイン及び大きなファンアウト相互接続を有する。更に、データ経路論理は、固定、制限、又は予め決定された機能性を有し、少数の入力変数を含む次の状態の機能を有する。このような入力機能は、「狭く」「深い」と言うことができる。

【0018】

図8は、例示的な非構造化／制御論理ブロック800を示す。論理ブロック800は、多数の入力（即ち、S0、a、b、S1、x、R、その他）を受け取る組み合わせ論理を含む。ANDゲート802、804、806、808からの各々の出力は、ORゲート810に印加される独立した重みを伝達する。ORゲート810からの出力は、選択的に状態ビットQiをもたらすフリップフロップ812にラッチされる。論理ブロック800は、多数の入力を受け取り、少数の出力を発生するので、これは「広く」「浅い」と言える。

図9は、例示的な構造化／データ経路ブロック900を示す。論理ブロック900は、「加算」回路のような算術機能回路902、異なる信号回線と可変的に接続された複数のマルチプレクサ904、906、908、910、ANDゲート912、及びフリップフロップ914を含む。図9に示すように、論理ブロック900の種々の論理要素は、入力(Di)及び種々の信号（図に示す）を受け取り、レジスタ機能、カウンタ機能、又は他のデータ経路機能のような種々のデータ経路機能を実行することができる。論理ブロック900は、少数の入力(Di)を受け取り、多数の従属項を必要とする。従属状態は、多数の論理レベルとなるので、論理ブロック900は「狭く」「深く」なる。

【0019】

非構造化／制御論理に適する経路指定は、短いものから長いものまで、種々のセグメント長さを含む。しかし、非構造化／制御論理に対しては、殆どの相互接続セグメントは短い。このため、非構造化論理ブロックは、長さの短い経路指定リソースと優位的に相互接続する必要がある。また、例示的な実施形態では、非構造化論理ブロックは、出力機能を構造化論理ブロックまで伝達する1つの形式の長さの長い相互接続も必要とする。この形式の長さの長い相互接続は、制御信号バス110（図2参照）と呼ぶことができる。典型的には、制御信号バス110は、非構造化サブセクションから構造化（データ経路）サブセクションまで信号を伝達する。信号の例としては、出力イネーブル（OE）、クロックイネーブル（CE）、ロード（LD）、シフト（SH）、加算（ADD）、増分（INC）、及び同期リセット（R）がある。

【0020】

図10は、非構造化／制御論理アレイ1000に関する例示的な経路指定方式を示す。図10において、非構造化論理ブロック1002は、短い横方向の経路指定リソース1004と、短い縦方向の経路指定リソース1006とにより相互接続されている。各々の論理ブロック1002は、横方向経路指定リソース1004経由で入力を受け取り、制御信号バス110経由で構造化／データ経路論理を出力する。また、各論理ブロック1002は、制御論理アレイ1000内で、横方向又は縦方向経路指定リソース1004、1006を経由し、他の論理ブロック1002と相互接続する。

【0021】

図11は、例示的な非構造化／制御論理ブロック1002を示す。論理ブロック1002は、8つの参照テーブル機能発生器1102、フリップフロップ1104、マルチプレクサ1106、及び構成点1108を含む。論理ブロック1002は、横方向又は縦方向経路指定リソース1004、1006から入力を受け取る。参照テーブル機能発生器1102からの出力は、フリップフロップ1104及びマルチプレクサ1106へ送られる。フリップフロップ1104は、信号回線1110、1112から受け取った信号に応じて選択的に出力をもたらす。

フリップフロップ1104からの出力は、マルチプレクサ1106に印加される。マルチプレクサ1106は、構成点1108によって、回線113又は回線114からの信号を経路指定リソース1004、1006へ選択的に伝達するように構成される。

図12は、構造化／データ経路論理アレイ1200に関する例示的な経路指定方式を示す。論理アレイ1200は、構造化論理ブロック1202を含む。各々の論理ブロック1202は、専用のデータバス1204からの入力回線及びそれへの出力回線と、非構造化サブセクション1006からの共通の制御信号とを含む。

【0022】

図13は、3つの例示的な構造化論理ブロック1202A、1202B及び1202Cを示す。各々の構造化論理ブロック1202は、2つのサブブロック、即ち(1) 共通制御サブブロック1302、及び(2) ビット固有制御サブブロック1304を含む。構造化論理ブロック1202の各々の共通制御サブブロック1302には、入力として、構造化ブロックアレイ1200の他の構造化論理ブロックと共通の、非構造化／制御アレイからの制御信号が含まれる。この制御には、ADD（ブロックが加算するか減算するか制御）、Q/D（論理ブロックアレイの隣接ビットQか、バスの隣接ビットDのいずれがシフトインすることができるか否かの制御）、U/D（シフトが上か下かの制御）、SH（少しでもシフトするか否かの制御）、L（ロードするか否かの制御）、CE（Qの状態を進めるか否かの制御）R（Qをリセットするか否かの制御）、及びQ/Y（連続した結果Q又は組み合わせ結果Yを出力するか否かを制御する）が含まれる。ビット固有サブブロック1304は、算術機能制御（即ちADD）を除いて、構造化論理ブロックアレイ1200の全ての他のビットスライスに共通な入力を受け取らない。その代わりに、構造化論理ブロック1202内の各々のビット固有サブブロック1304は、構造化論理ブロックアレイ1200内の直接隣接した構造化ブロックからの入力（例えばデータバスビット）を受け取る。例えば、論理ブロック1202B内のビット固有サブブロック1304Bは、 D_{i+1} 又は D_{i-1} のような、隣接データバスビットからの入力を受け取る。

【0023】

図14は、構造化／データ経路論理ブロックアレイ104から非構造化／制御論理ブロックアレイ102までの例示的な経路指定方式を示す。図14において、バス化信号バス112（図2）を形成する一連のアレイ間のライン1402は、構造化論理ブロックアレイから非構造化論理ブロックアレイまで状態信号を供給する。

非構造化論理ブロックアレイ102は、状態マシンのような制御論理を実行し、種々の外部ソースからの入力を受け取ることになっている。典型的には、外部ソースは、データバス信号ではなく、他の状態及び制御信号である。また、外部ソースからの入力は、データバス信号を制御する共通の制御信号により操作されない。非構造化論理ブロックアレイ102内への信号入力は、略ランダムであるため、このような信号を入出力するのに用いられるI/O論理は、データバス信号のようにグループ化する必要がない。非構造化論理ブロックアレイ102に関連するI/Oは、非構造化入力／出力構造相互接続106（図2）又は非構造化I/Oと呼ぶことができる。構造化論理ブロックアレイ104に関連するI/Oは、バス化入力／出力構造相互接続108（図2）又は構造化I/Oと呼ぶことができる。

【0024】

非構造化経路指定リソースと構造化経路指定リソースとの大きな違いは、構造化論理ブロックアレイ1200が専用のバス経路指定セグメント1204を備える点にある。これに対し、一般的に、非構造化アレイ1000内には専用の経路指定リソースは存在しない（システムクロック及びシステムリセットを除く）。例示的な実施形態において、構造化論理ブロックアレイ1200は、階層の付加レベルを有する。階層の付加レベルは、制御信号の共通セットにより関連づけられた構造化論理ブロックの集合で構成される。この階層の構造化論理ブロックは、柱型オブジェクトを形成するように配置すると有利である。非構造化論理ブロックアレイ1000は、そのような階層のレベルをもっていない。非構造化I/Oは、専用の共通信号（システムクロック及びシステムリセット以外）によって制御されない、単純なI/Oドライバ及びレシーバを備える。これに対し、構造

化I/Oは、クロックイネーブル(CE)及び出力イネーブル(OE)のような専用の共通信号により制御されるドライバ及びレシーバを備える。更に、非構造化I/Oは、非構造化アレイ内のどこにでも信号を分配する能力をもつ必要がある。図15は、非構造化論理ブロックアレイ1000に関する例示的な非構造化I/O106を示す。これに対し、構造化I/Oは、構造化論理ブロックの関連データバスビット信号を入出力する能力をもつ必要がある。図16は、構造化論理ブロックアレイ1200に関する例示的な構造化I/O108を示す。図16において、構造化I/O108は、プログラマブル相互接続1602及び専用データバス経路指定回線1204を備える。

【0025】

当業者であれば、本発明の装置に関する多数の利点を理解できる。第1に、本発明は、異なるプログラマブル論理及び経路指定リソースのためのプラットフォームを提供する。このトポロジにより、最新のネットリストの優れた区画化が容易になる。即ち、論理ネットリストは、特にサブアレイリソースを対象にした断片に区画化できる。適切に区画化すると、装置の利用率及びシステム性能が著しく増大する。本発明の単一の装置により、製造及びパッケージングコストが減少する。信号は、単一の機能チップ上に形成された非構造化論理サブアレイと構造化論理サブアレイとの間を迅速に伝わることができ好都合である。

前述の実施例は、本発明の特定の例示的な実施形態を示しているが、当業者には、この実施形態から、他の実施形態、変形例、及び変更例は明らかである。従って、本発明は、前述の特定の実施形態に限定されるものではなく、請求の範囲によって定義される。

【図面の簡単な説明】

【図1】

従来型の同種アレイを用いることによる非効率性を示す線図である。

【図2】

本発明の実施形態によって構成された異種のプログラマブルゲートアレイ装置を示す図である。

【図3】

本発明の実施形態による例示的な異種のプログラマブルゲートアレイ装置を示す図である。

【図 4】

構造化／制御論理及び構造化／データ経路論理の属性リストを例示的に示すテーブルである。

【図 5 A】

例示的な細粒度論理ブロックを示す図である。

【図 5 B】

例示的な中粒度論理ブロックを示す図である。

【図 5 C】

例示的な粗粒度論理ブロックを示す図である。

【図 6 A】

例示的な高度スキュー論理ブロックアレイを示す図である。

【図 6 B】

例示的な低度スキュー論理ブロックアレイを示す図である。

【図 7】

例示的な高ファンアウト論理ブロックアレイを示す図である。

【図 8】

例示的な非構造化論理ブロックを示す図である。

【図 9】

例示的な構造化論理ブロックを示す図である。

【図 10】

例示的な非構造化論理ブロックアレイを示す図である。

【図 11】

例示的な非構造化論理ブロックを示す図である。

【図 12】

例示的な構造化論理ブロックアレイを示す図である。

【図 13】

例示的な構造化論理ブロックを示す図である。

【図14】

構造化—非構造化状態信号に関する例示的な経路指定方式を示す図である。

【図15】

非構造化論理ブロックアレイ内の例示的な非構造化I/Oを示す図である。

【図16】

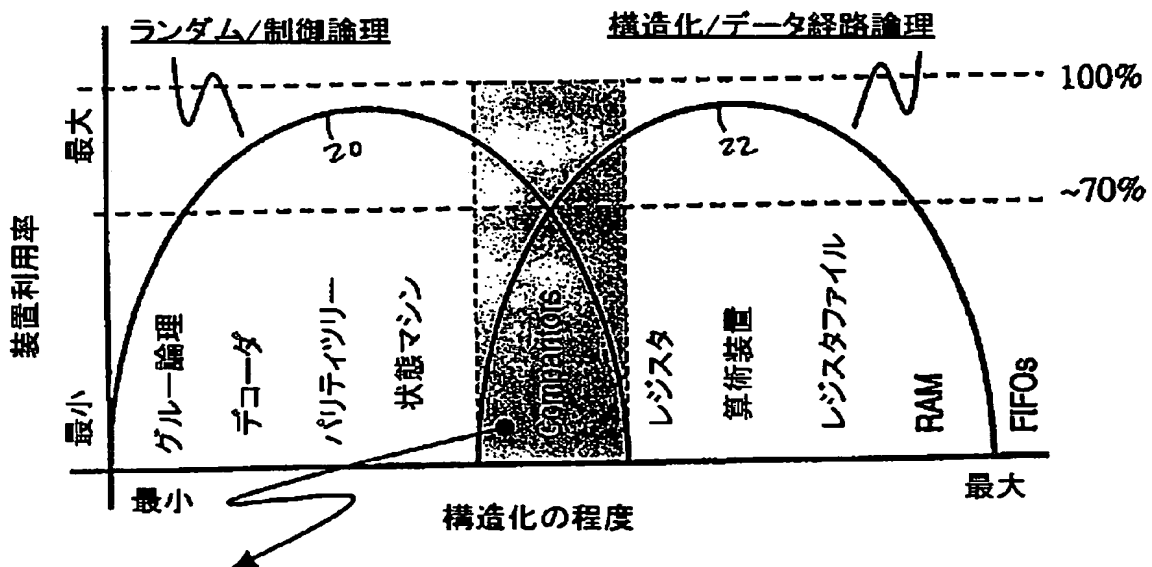
構造化論理ブロックアレイ内の例示的な構造化I/Oを示す図である。

BEST AVAILABLE COPY

【図1】

Fig. 1

(従来技術)



【図2】

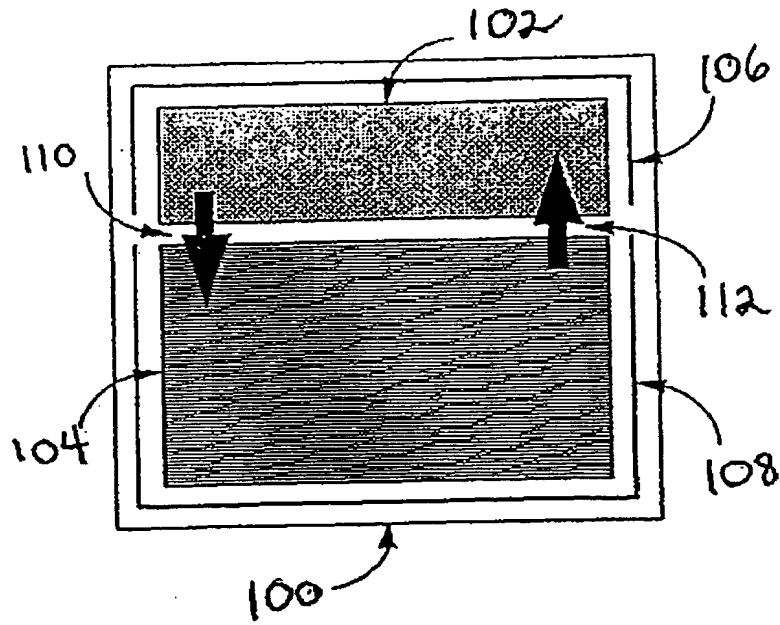
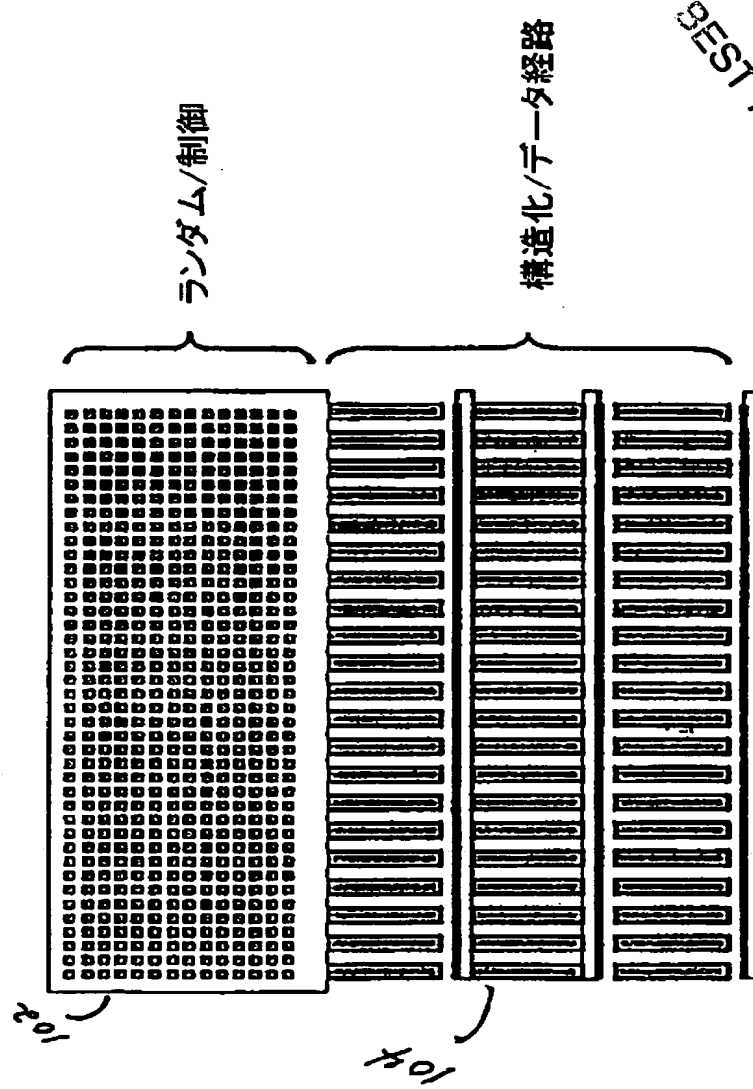


Fig. 2

BEST AVAILABLE COPY

【図3】

Fig. 3

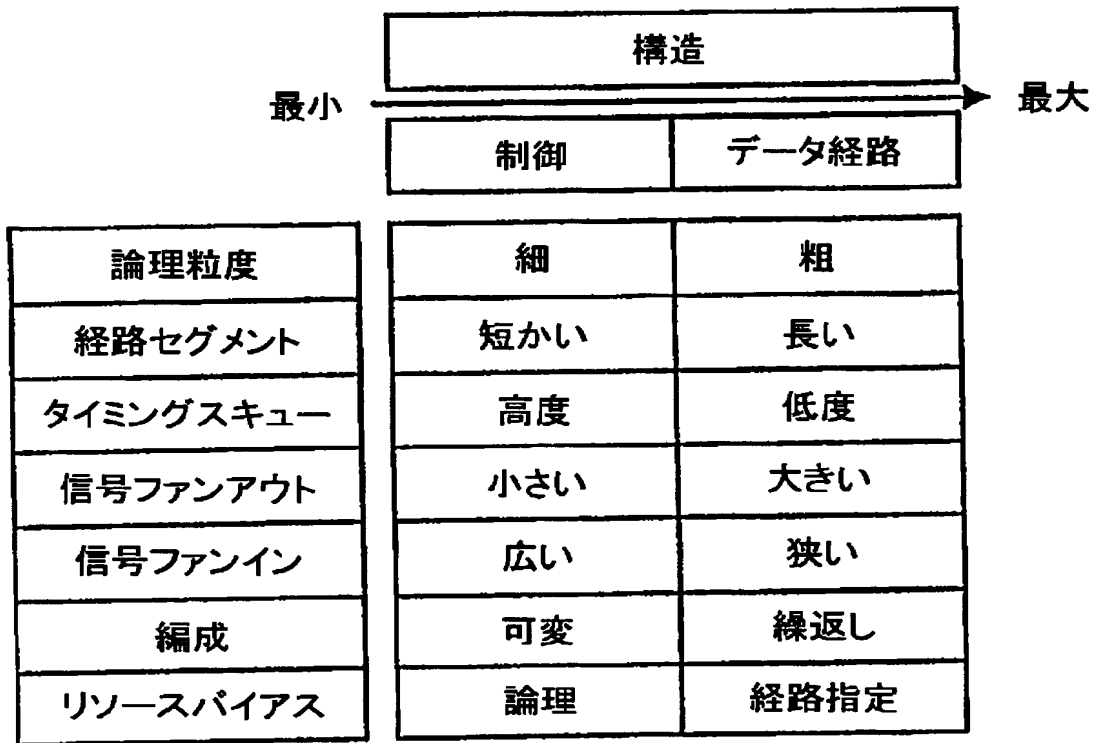


BEST AVAILABLE COPY

□ 論理セル
□ 制御
□ データ経路

【図4】

Fig. 4



【図5A】

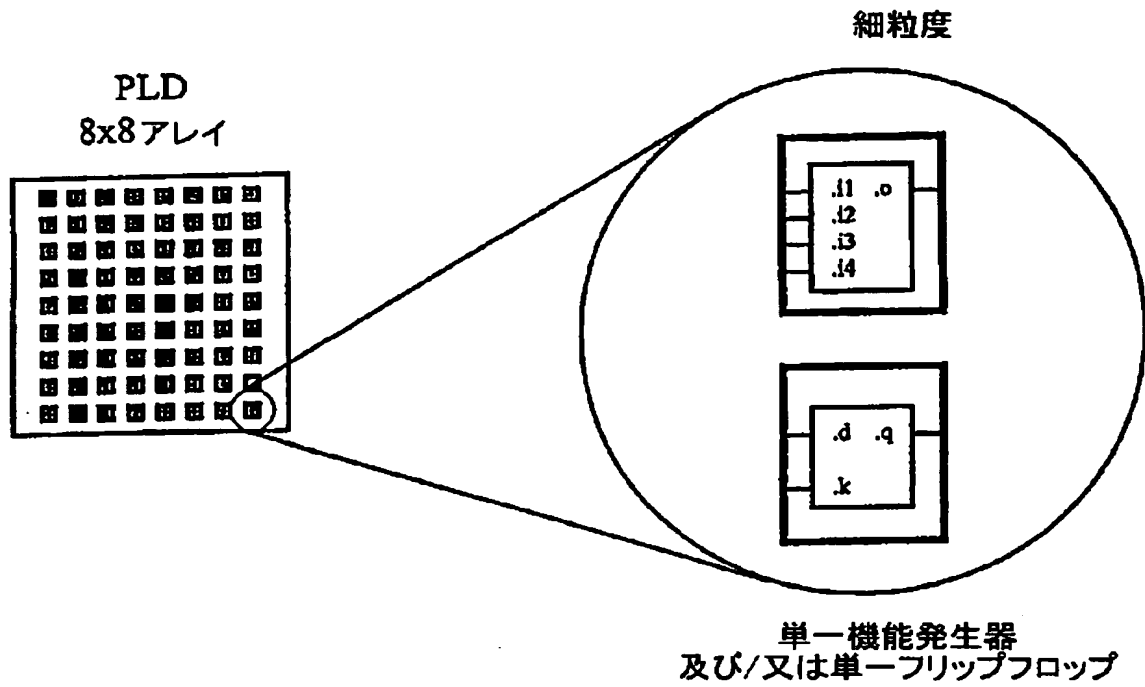


FIG. 5A

【図5B】

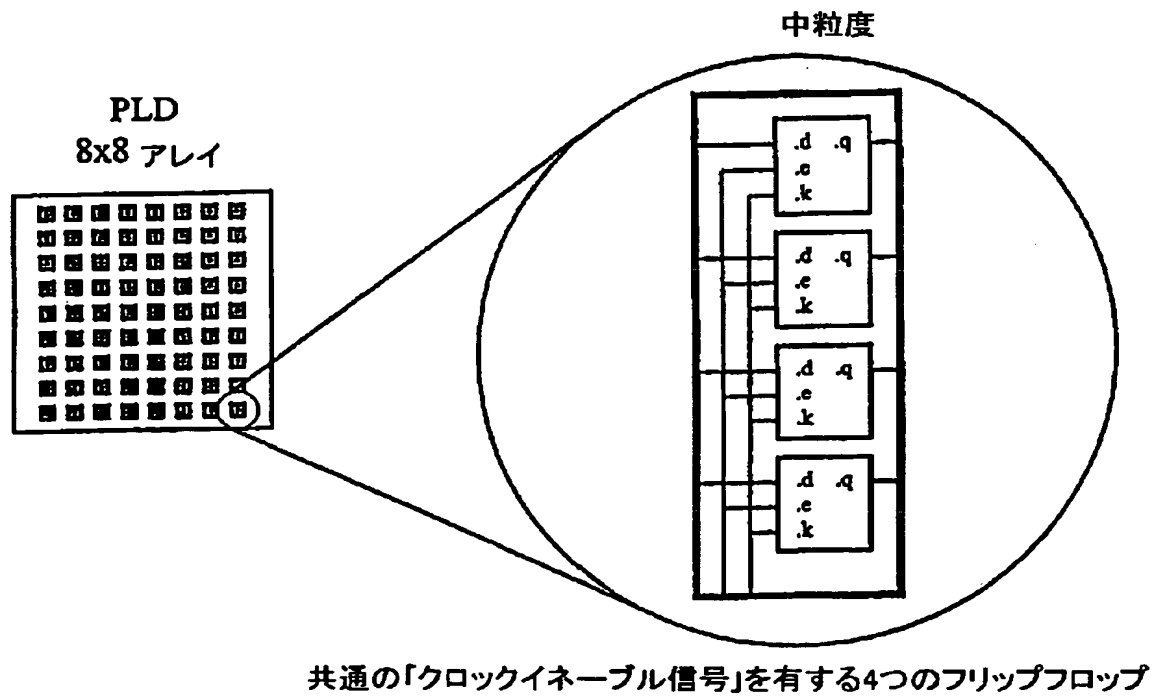


FIG. 5B

【図5C】

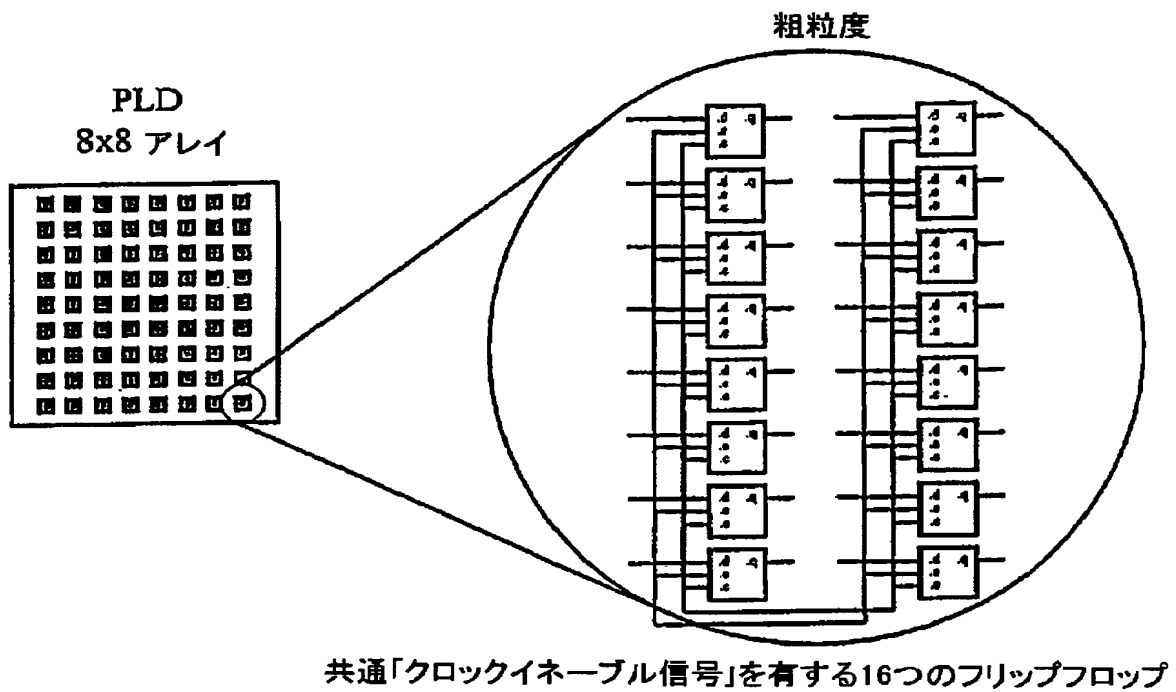


FIG. 5C

【図6A】

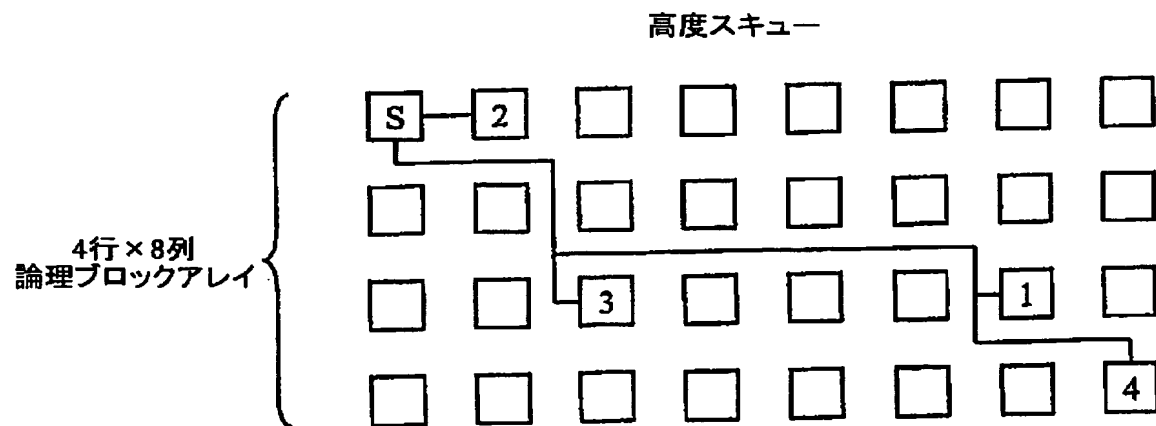


FIG. 6A

【図6B】

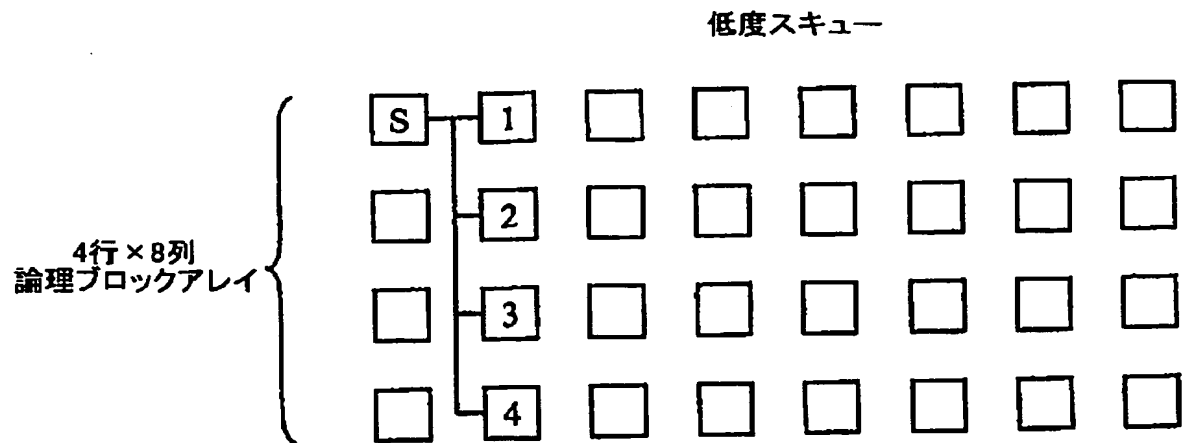
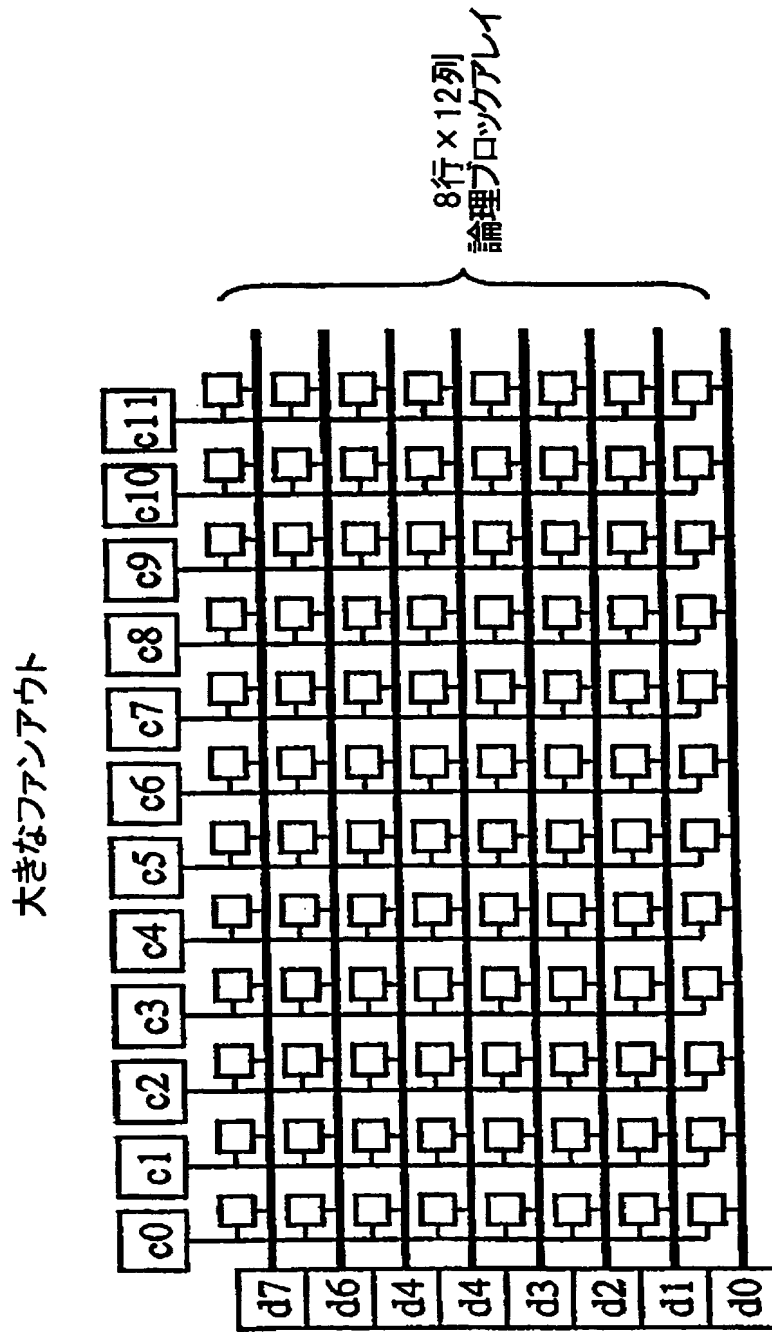


FIG. 6B

【図7】



各々のデータ経路ソースd[7:0]は、多数(12)の宛先に経路指定されている。
 各々の制御信号c[0:11]は、比較的多数(8)の宛先に経路指定されている。

FIG. 7

【図8】

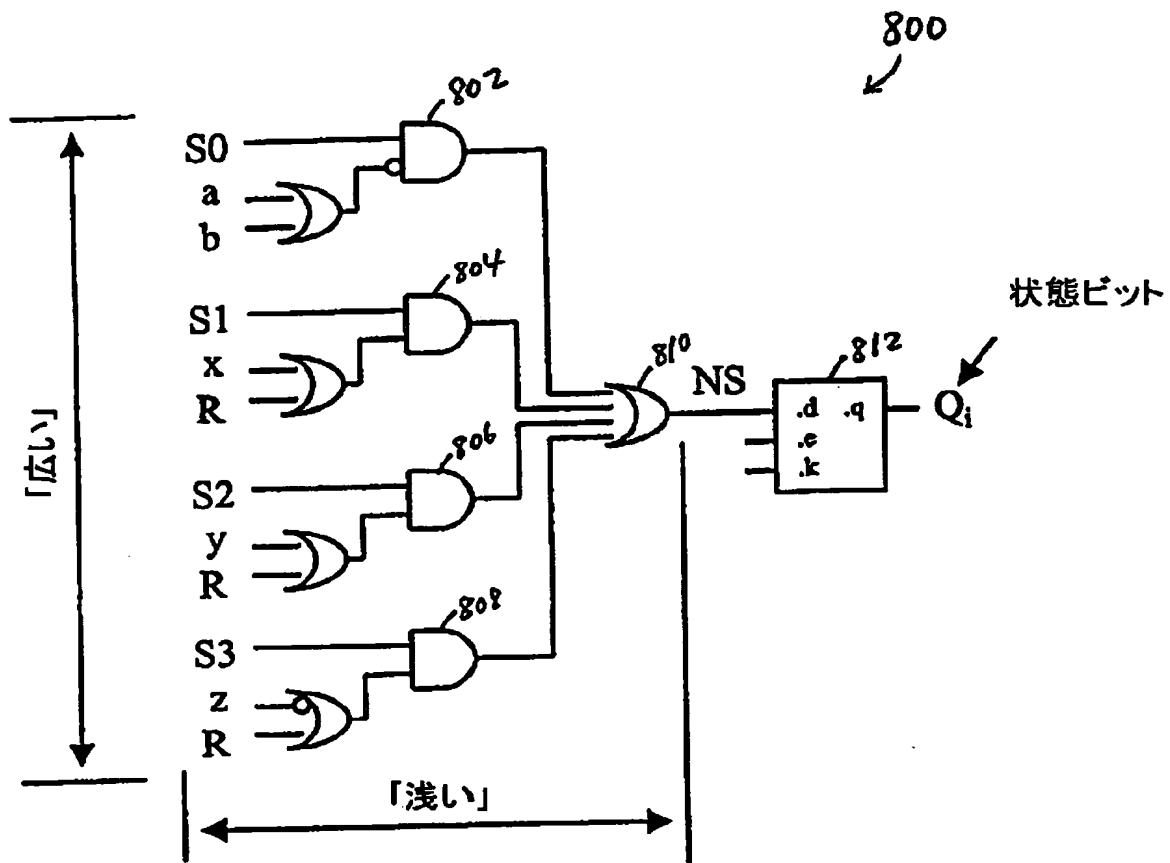


FIG. 8

【図9】

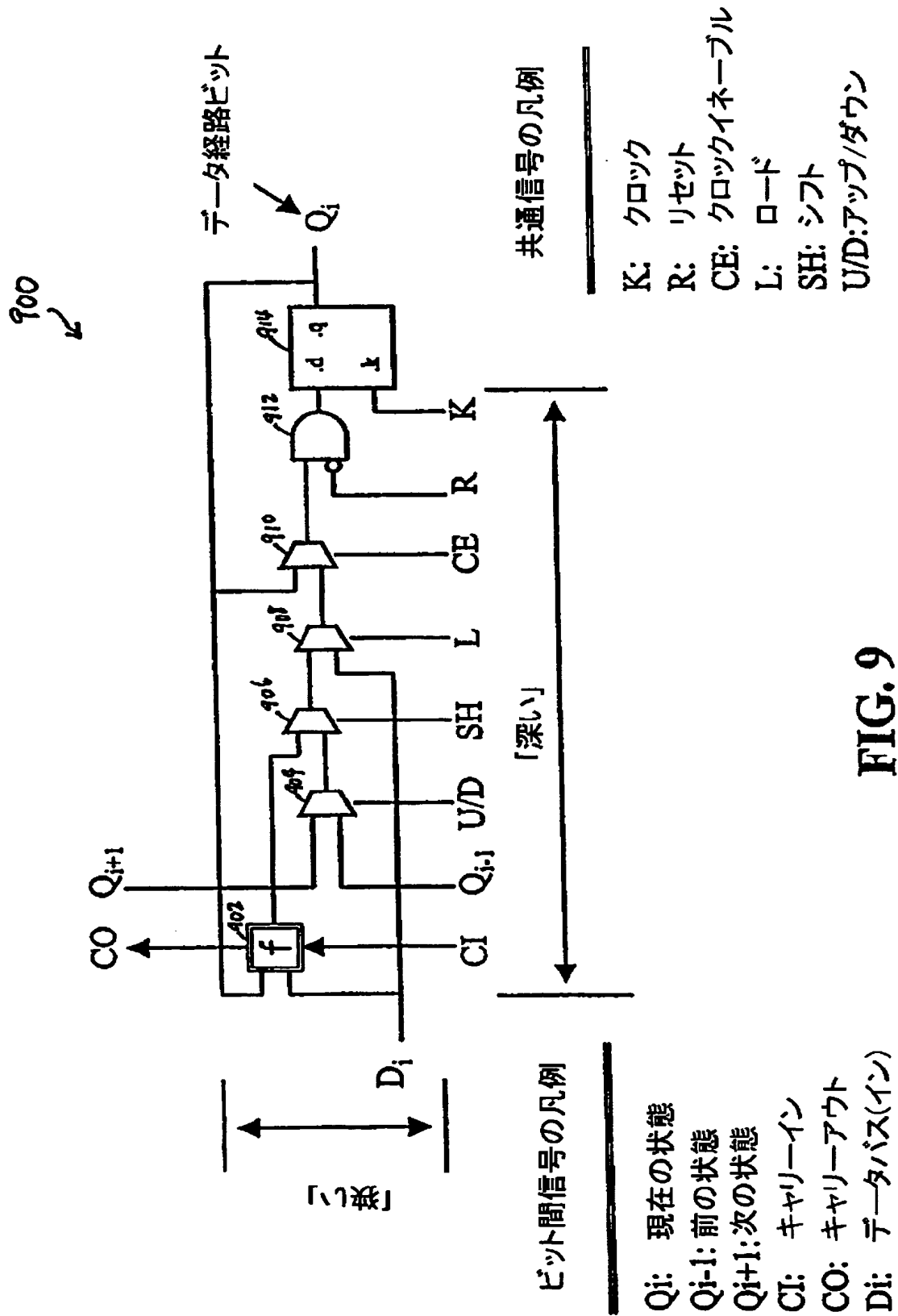


FIG. 9

【図10】

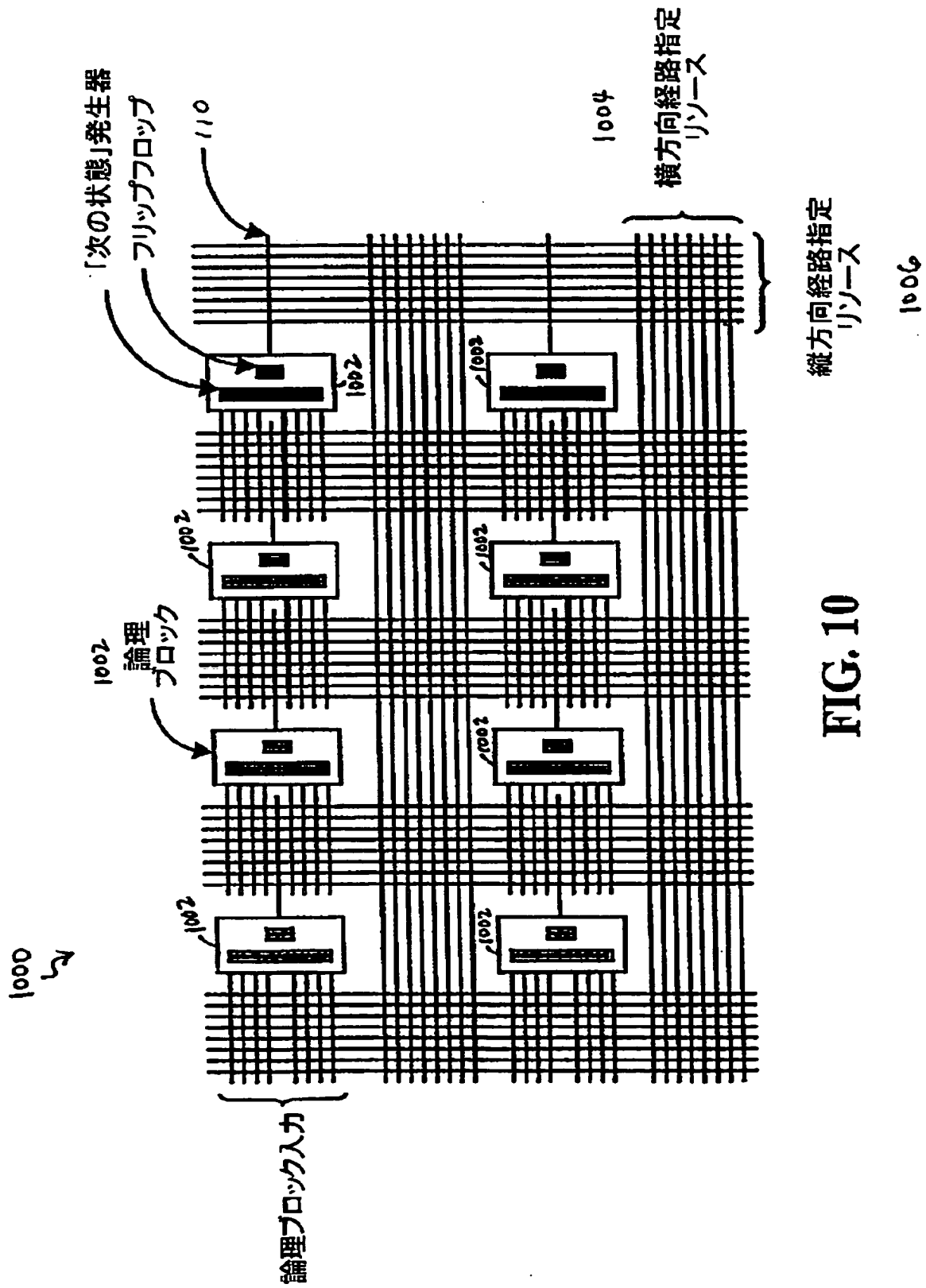
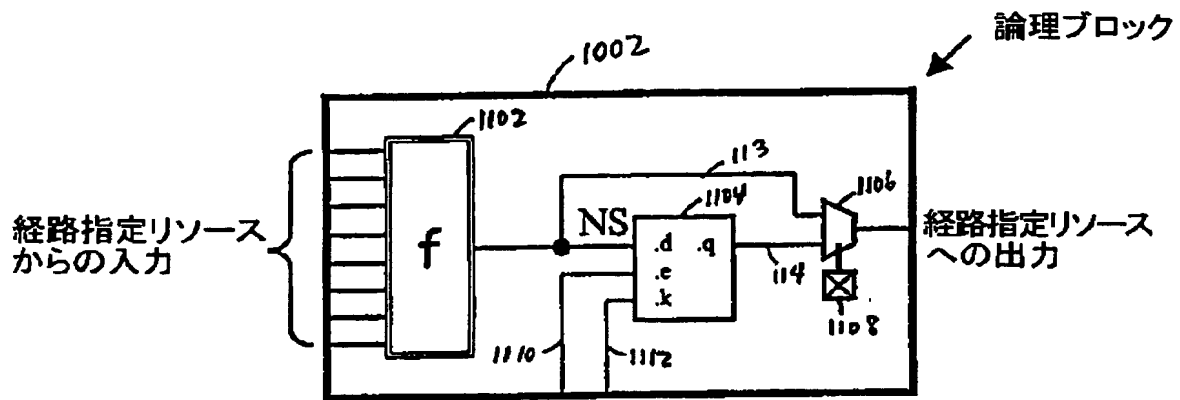


FIG. 10

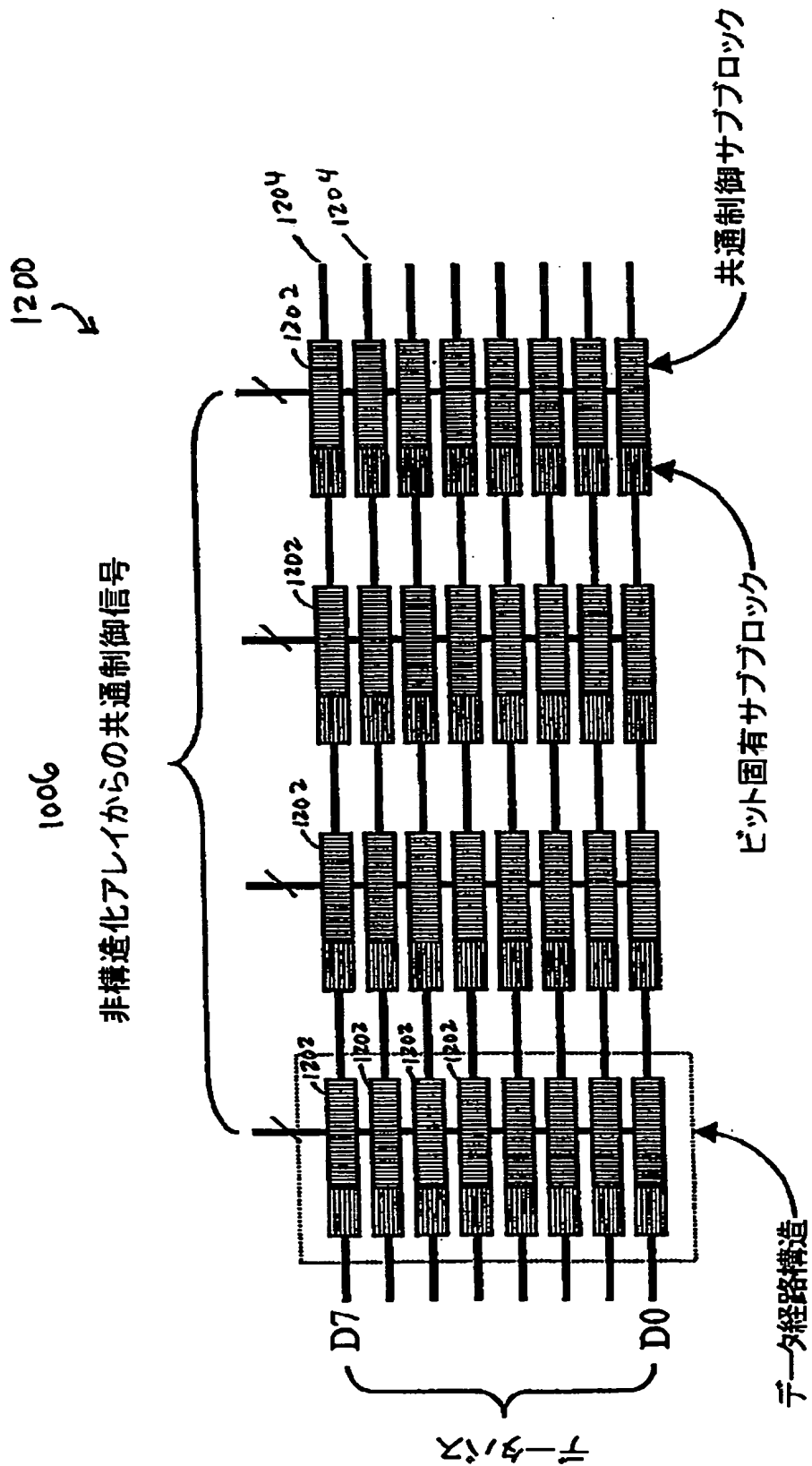
【図11】



ここで、
f = 8-LUT 機能発生器
 ☒ = 構成点

FIG. 11

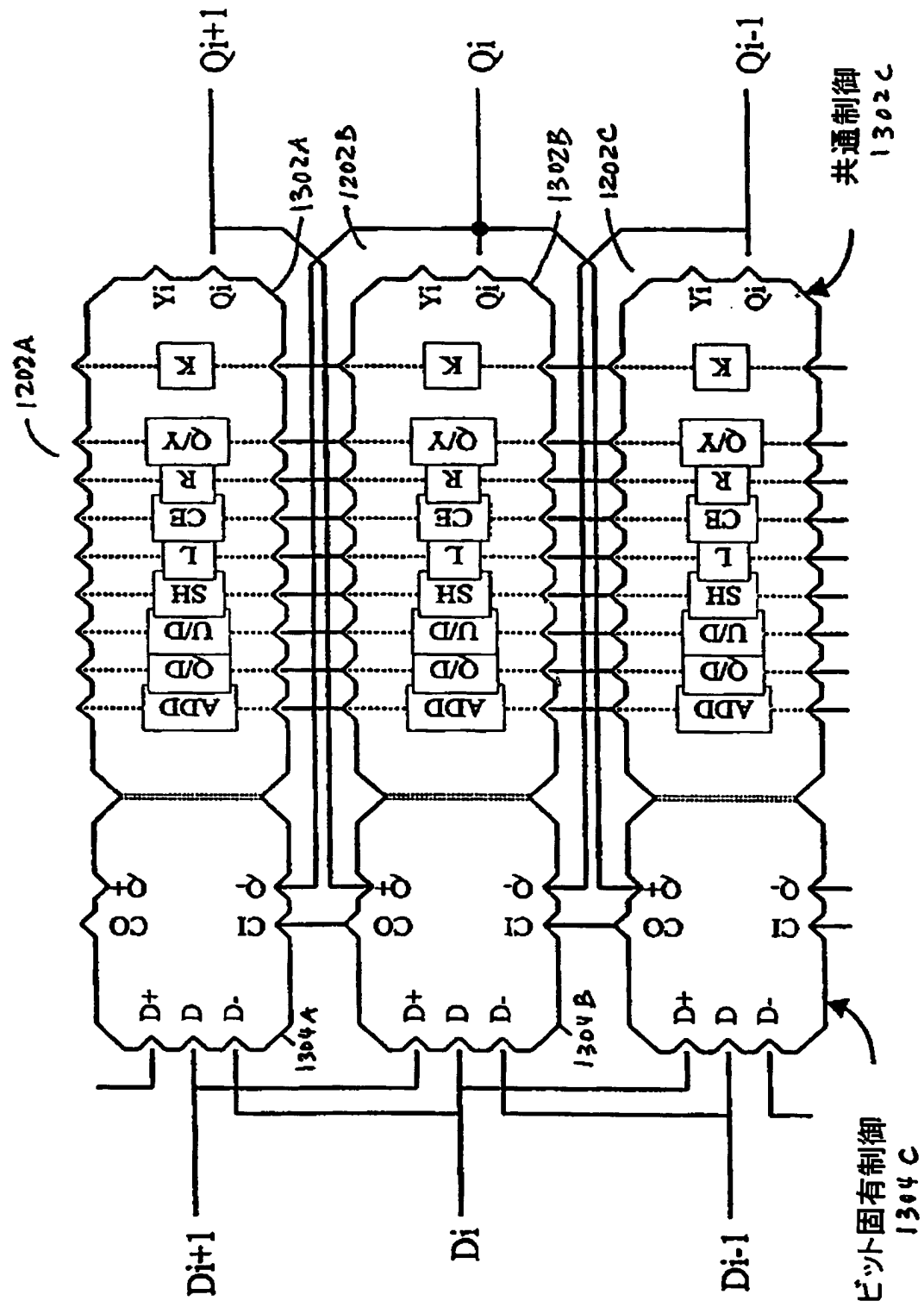
【図12】



ビットスライス

FIG. 12

FIG. 13



【図14】

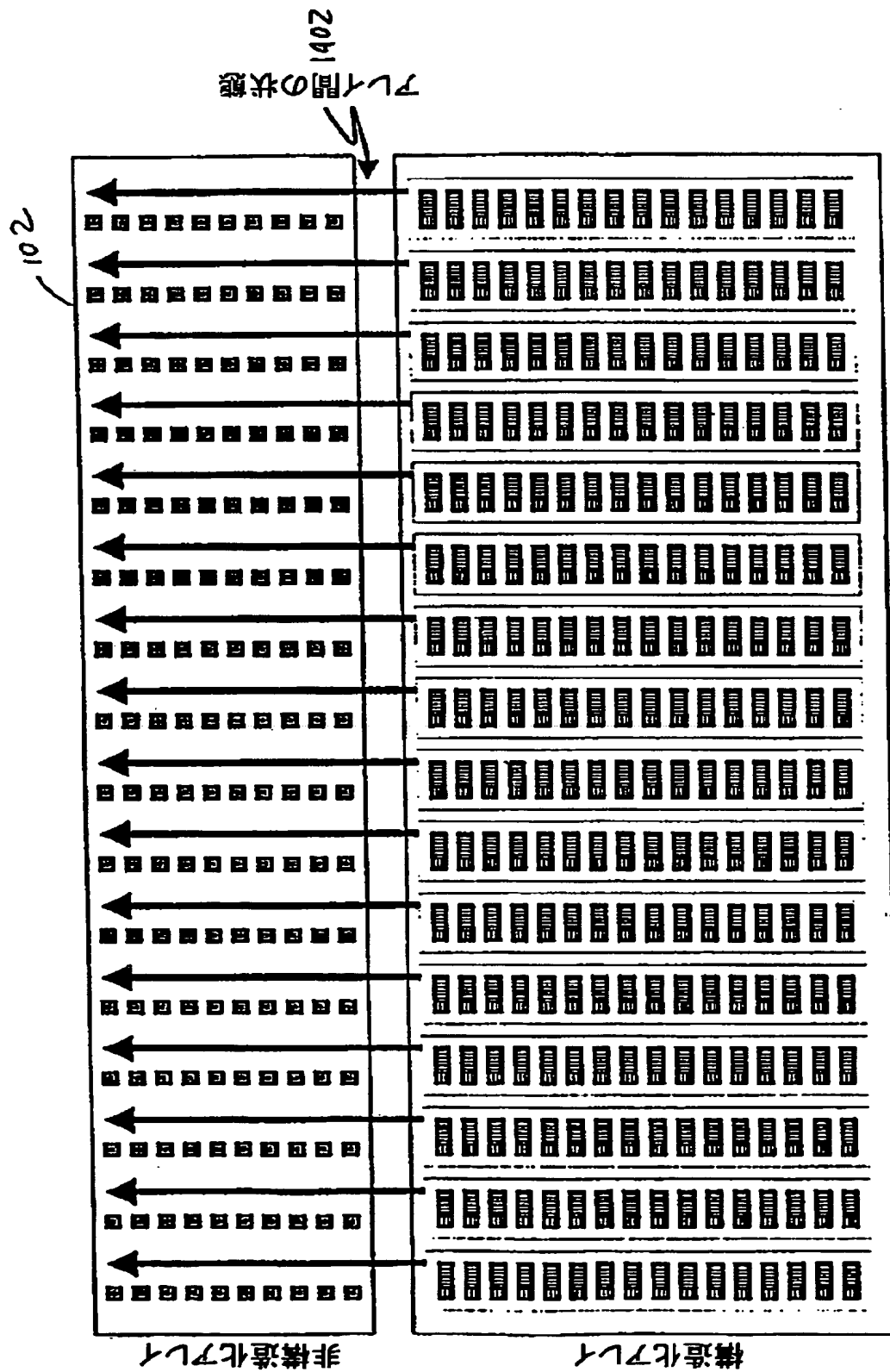


FIG. 14

【図15】

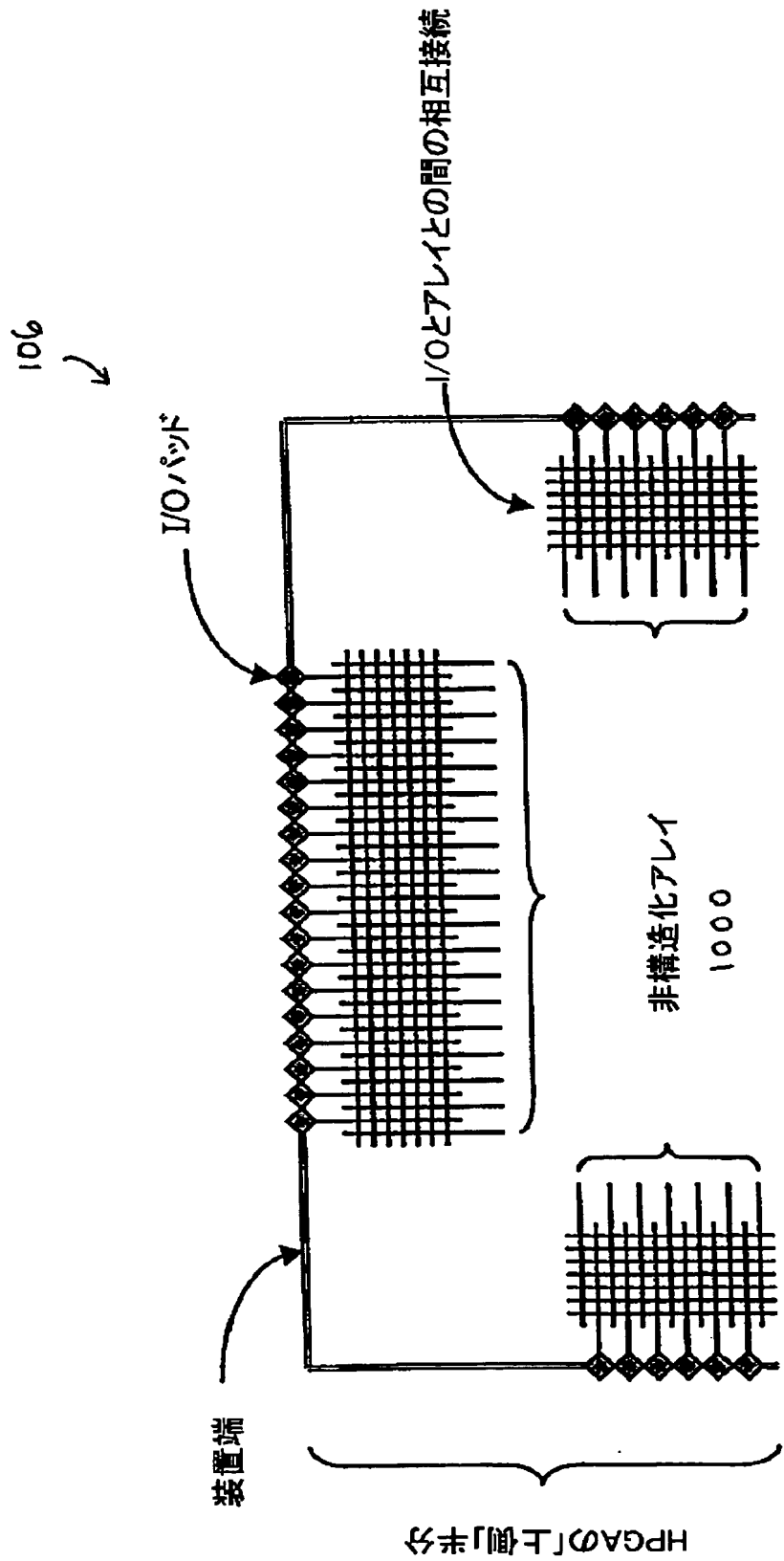


FIG. 15

【図16】

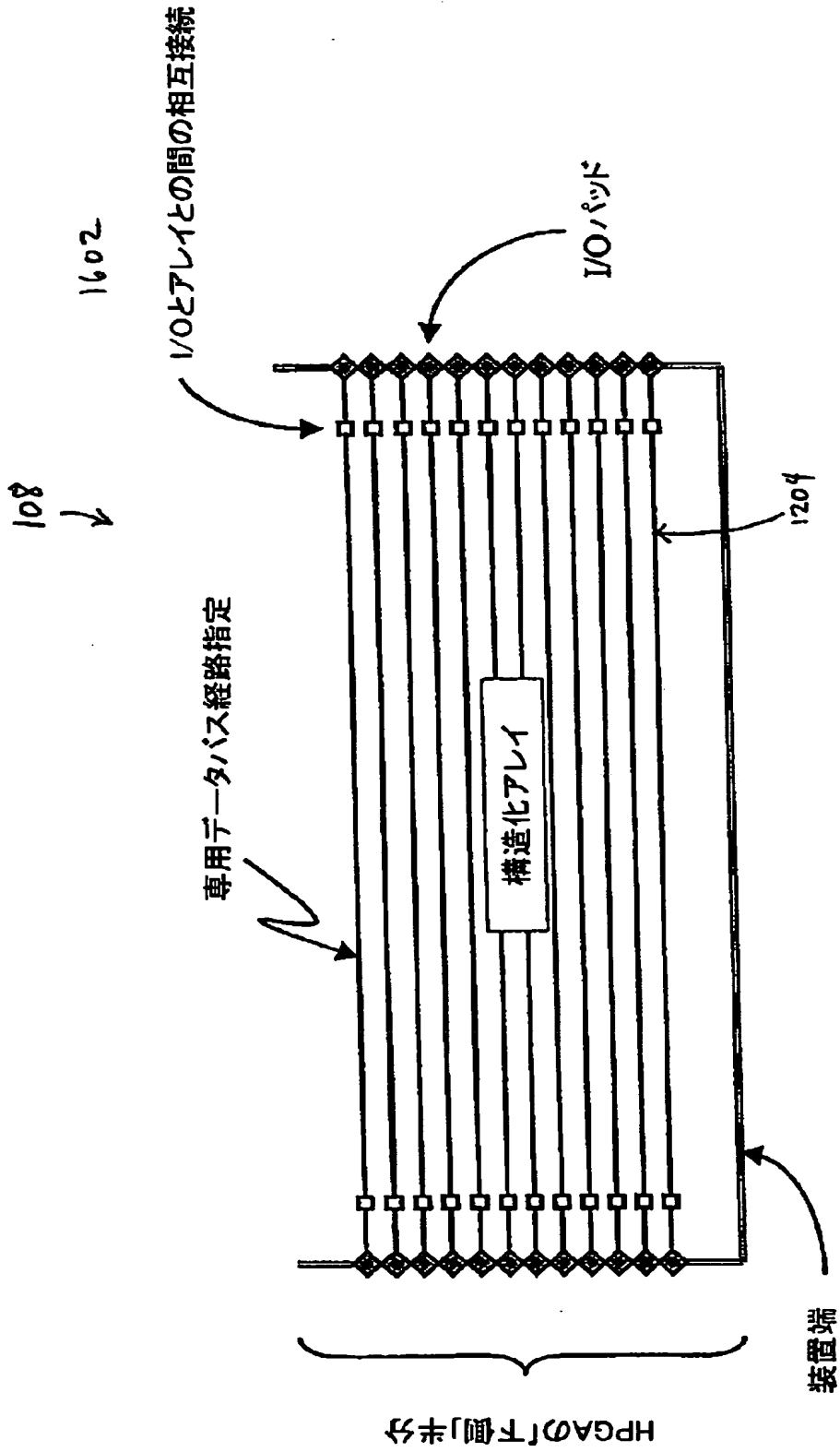


FIG. 16

【手続補正書】特許協力条約第34条補正の翻訳文提出書

【提出日】平成13年5月25日(2001.5.25)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】 非構造化論理サブアレイと、

非構造化－非構造化入力／出力信号を前記非構造化論理サブアレイへ送るための非構造化入力／出力相互接続構造と、

前記非構造化論理サブアレイに相補的である構造化論理サブアレイと、

構造化－構造化入力／出力信号を前記構造化論理サブアレイへ送るためのバス化入力／出力相互接続構造と、

前記非構造化論理サブアレイと前記構造化論理サブアレイとの間を接続して、その間で非構造化ソースの信号を送る制御信号バスと、

前記非構造化論理サブアレイと前記構造化論理サブアレイとの間を接続して、その間で構造化ソースの信号を送るバス化信号バスと、
を備える異種のプログラマブルゲートアレイ。

【請求項2】 前記非構造化論理サブアレイが、状態マシンを実行することを特徴とする請求項1に記載の異種のプログラマブルゲートアレイ。

【請求項3】 前記非構造化論理サブアレイが、デコーダを実行することを特徴とする請求項1に記載の異種のプログラマブルゲートアレイ。

【請求項4】 前記非構造化論理サブアレイが、緻密で短く、ファンアウトが小さく、スキューが高度である経路指定リソースによって特徴づけられる請求項1に記載の異種のプログラマブルゲートアレイ。

【請求項5】 前記構造化論理サブアレイが、算術機能を実行することを特徴とする請求項1に記載の異種のプログラマブルゲートアレイ。

【請求項6】 前記構造化論理サブアレイが、記憶レジスタを実行すること

を特徴とする請求項1に記載の異種のプログラマブルゲートアレイ。

【請求項7】 前記構造化論理サブアレイが、ランダムアクセスメモリを実行することを特徴とする請求項1に記載の異種のプログラマブルゲートアレイ。

【請求項8】 前記構造化論理サブアレイが、疎で長く、ファンアウトが大きく、スキューが低度である経路指定リソースによって特徴づけられる請求項1に記載の異種のプログラマブルゲートアレイ。

【請求項9】 前記ゲートアレイが、約3分の1の非構造化論理サブアレイ回路及び約3分の2の構造化論理サブアレイ回路を備えることを特徴とする請求項1に記載の異種のプログラマブルゲートアレイ。

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No.
PCT/US00/12478

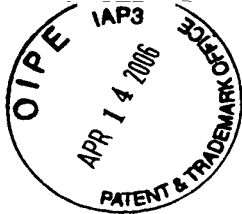
| A. CLASSIFICATION OF SUBJECT MATTER IPC(T) : H03K 19/177 US CL : 326/39, 42 According to International Patent Classification (IPC) or to both national classification and IPC | | |
|---|--|---|
| B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) U.S. : 326/37-41, 101 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched NONE Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) USPTO APS EAST search terms: heterogeneous, programmable, logic, array, state machine | | |
| C. DOCUMENTS CONSIDERED TO BE RELEVANT | | |
| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
| X | US 5,744,980 A (MCGOWAN et al) 28 April 1998 (28.04.1998), see entire document. | 1, 3-9 |
| X | US 5,874,834 A (NEW) 23 February 1999 (23.02.1999), see entire document. | 1, 3-9 |
| X | US 5,640,107 A (KRUSE) 17 June 1997 (17.06.1997), see entire document. | 1, 3-9 |
| X | US 5,825,202 A (TAVANA et al) 20 October 1998 (20.10.1998), see entire document. | 1, 3-9 |
| X | US 5,796,269 A (NEW) 18 April 1998 (18.04.1998), see entire document. | 1, 3-9 |
| X | US 5,723,984 A (SHARPE-GEISLER) 03 March 1998 (03.03.1998), see entire document. | 1, 3-9 |
| <input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex. | | |
| * Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "Z" document member of the same patent family | | |
| Date of the actual completion of the international search 10 JULY 2000 | | Date of mailing of the international search report 09 AUG 2000 |
| Name and mailing address of the ISA/US Commissioner of Patents and Trademarks Box PCT Washington, D.C. 20231 Facsimile No. (703) 305-3230 | | Authorized officer DON PHU LE Telephone No. (703) 308-4890 |

INTERNATIONAL SEARCH REPORT

International application No.
PCT/US00/12478

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|-----------|--|-----------------------|
| A,P | US 5,977,791 A (VEENSTRA) 02 November 1999 (02.11.1999), see entire document. | 1-9 |
| A,P | US 5,910,733 A (BERTOLET et al) 08 June 1999 (08.06.1999), see entire document. | 1-9 |
| A,P | US 6,020,776 A (YOUNG) 01 February 2000 (01.02.2000), see entire document. | 1-9 |
| A,E | US 6,075,380 A (LANE) 13 June 2000 (13.06.2000), see entire document. | 1-9 |
| A,P | US 6,005,410 A (LARAMIE) 21 December 1999 (21.12.1999), see entire document. | 1-9 |



フロントページの続き

(81)指定国 EP(AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GW, ML, MR, NE, SN, TD, TG), AP(GH, GM, KE, LS, MW, SD, SL, SZ, TZ, UG, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, CA, CH, CN, CR, CU, CZ, DE, DK, DM, DZ, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, TZ, UA, UG, UZ, VN, YU, ZA, ZW